

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-060582

(43)Date of publication of application : 31.05.1978

(51)Int.Cl.

H01L 27/04

H01L 29/68

(21)Application number : 51-135340

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.11.1976

(72)Inventor : OKABE TAKAHIRO  
KANEKO KENJI  
NAKAMURA TORU

(54) SEMICONDUCTOR INEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To increase the density of integration and also increase gm by forming a MOSFET and a bipolar transistor in integral structure.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁

⑩特許出願公開

## 公開特許公報

昭53—60582

⑪Int. Cl. <sup>2</sup>	識別記号	⑫日本分類	庁内整理番号	⑬公開	昭和53年(1978)5月31日
H 01 L 27/04		99(5) E 0	7514—57	発明の数	1
H 01 L 29/68		99(5) E 2	7514—57	審査請求	未請求
		99(5) E 3	6603—57		
		99(5) H 0	6513—57		

(全 5 頁)

## ⑭半導体集積回路装置

地 株式会社日立製作所中央研  
究所内

⑮特 願 昭51—135340

⑯発 明 者 中村徹

⑰出 願 昭51(1976)11月12日

国分寺市東恋ヶ窪1丁目280番

⑱発 明 者 岡部隆博

地 株式会社日立製作所中央研  
究所内

国分寺市東恋ヶ窪1丁目280番

地 株式会社日立製作所中央研  
究所内

⑲出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5  
番1号

同

金子憲二

国分寺市東恋ヶ窪1丁目280番

⑳代 理 人 弁理士 薄田利幸

## 明 細 書

発明の名称 半導体集積回路装置

## 特許請求の範囲

第1の不純物形半導体基板上に形成された FETの第2の不純物形半導体からなるドレイン領域をトランジスタのベース領域と一体化し、上記FETの上記基板を上記トランジスタのコレクタ領域と一体化し、かつ上記FETのソース領域と上記基板は電極で接続して一方の電位端子とし、上記トランジスタの上記ベース領域中に設けられた第1の不純物形半導体からなるエミッタ領域を他方の電位端子とし、上記FETのゲート電極を入力端子として構成したことを特徴とする半導体集積回路装置。

## 発明の詳細な説明

本発明は半導体装置、くわしくはMOS (Metal Oxide Semiconductor)素子とバイポーラ素子とを組み合わせた高効率の電圧・電流変換半導体装置に関するものである。

従来、演算増幅回路などの差動入力部には高増

巾率のバイポーラ・トランジスタか、電圧入力形のMOSもしくは接合形FET (Field Effect Transistor)を用いることが多かつた。これは、演算増幅器としては入力電流が理想的には零である高入力インピーダンス特性が必要だからである。しかるに、バイポーラ・トランジスタでは原理的に入力電流を必要とし、1mA以下にはしがたい欠点を持つている。また一方において、MOSもしくは接合形のFETでは、チャネル・コンダクタンス(以下記号的に $g_m$ と略す)を高くとることができず、FETだけで演算増幅器を組むと十分な電流、もしくは電圧利得を得ることができない。これを解消するため、従来は入力差動対トランジスタだけを入力インピーダンスの高いFETとし、これと独立に形成したバイポーラ・トランジスタとを組み合わせて増幅回路を形成していた。このため、別々にFETとバイポーラ素子を形成して回路を構成するため、集積回路とした時のチップ上の面積が増大するという欠点を持っていた。

本発明は従来のかかる欠点を改善するためになされたもので、小面積でかつ大きな $g_m$ を取れるようにしたMOSとバイポーラの複合構造を提供するものである。

第1図に本発明の概念を説明するための半導体装置の断面構造を示し、第2図にその等価回路を示す。すなわち、第1図において、 $N^+$ 層1の上に設けた $N$ 層2の上面部に $P$ 層3、4を構成し、この $P$ 層間は $SiO_2$ 層8を介して金属層10が存在し、これらで $P$ チャネルMOS・FETが形成されている。他方、 $P$ 層3にはさらに $N^+$ 層5を設け、この $N^+$ 層5と $P$ 層3と、 $N$ 層1、 $N^+$ 層2によりNPNトランジスタが形成されている。いま、 $P$ 層4と、 $N$ 層2のオーミックコンタクト用 $N^+$ 層6とを電極9で結合した状態を考える。電極9を高電位に、電極11を低電位にしておき、電極端子10（以下この端子をゲート端子と仮称する）に入力電圧を印加する。ゲート端子10の電圧が端子9（以下ソース端子と仮称する）の電位と同電位のときは $P$ 層3（この場合はドレイン

特開昭53-60582(2)  
に相当する)には電流が流れない。これは通常の $P$ チャネルMOS・FETの特性より導出されるものである。ゆえに $P$ 層3を前記のNPNトランジスタのベースとみると、ベースに電流が供給されないことを意味し、NPNトランジスタはオフとなり、ソース端子9もNPNのエミッタ端子11にも電流は流れない。つぎにゲート端子10の電位をソース端子9の電位より、閾値電圧 $V_{th}$ 以下に下げると、 $P$ チャネルMOS・FETはオンとなり、そのドレインである $P$ 層3に電流が流れ込む。これはNPNトランジスタのベースに電流が流れたことと等価となるため、このベース電流の電流増巾率 $\beta$ 倍の電流が電位9から $N$ 層2、 $N^+$ 層1を通してそのエミッタ端子11に流れる。ゆえに、MOS・FETのわずかなドレイン電流がNPNトランジスタによつて増巾され、全体を1つのMOS・FETとみると、従来にない高い $g_m$ を持つFETが実現されたと考えられる。また、全体を1つのバイポーラ・トランジスタとみると、ゲート端子10が入力のベース端子に相当

するので、電流増巾率が無限大の、いいかえれば入力インピーダンスの高いバイポーラ・トランジスタとみることも出来る。

さて、第2図の等価回路を使つて動作時のこの複合構造のトランジスタの等価チャネルコンダクタンス $G_m$ を求めると、簡単な式の計算から、次式を得る。

$$G_m \approx g_m \cdot \beta \quad \dots\dots(1)$$

ここで $g_m$ はMOS・FETのチャネル・コンダクタンスであり、 $\beta$ はNPNトランジスタの電流増巾率である。 $g_m \approx 20 \mu S$ 、 $\beta = 100$ とすると、 $G_m \approx 2000 \mu S$ が得られる。従来のMOS・FETでは、 $g_m$ を大とするには $W/L$ （チャネル巾対チャネル長）を大とせざるを得ず、大きな $g_m$ を得るには極めて大きな面積を必要とする欠点があつたが、本素子構造では、従来とは同様の面積で100倍以上の $g_m$ を得ることが可能であることを示している。本構造は $P$ チャネルMOSとNPNトランジスタの組み合わせで構成されている場合を示したが、 $P$ と $N$ の極性および

印加電圧の極性を逆にしても同様の効果が得られることはいうまでもない。なお、製造上MOSの特性をNPNの特性と独立に制御できるようにするには、第1図の7に示す部分に局所のイオン打込み法によつてチャネルの不純物量を制御してやればよい。

以下本発明を実施例によつて説明する。

第3図は第1の実施例を示したもので、本発明の素子を従来のバイポーラICの工程で同時に作ったものである。すなわち、 $P$ 形基板14とアイソレーション $P^+$ 領域15によつて本発明の素子と従来のバイポーラ素子とを電気的に分離して形成され、相互配線によつてICが形成される。第4図は第3図の等価な素子を示したものである。

第5図は本発明の素子を第3図に示したような素子形成を通じて、演算増巾機の基本部の回路を構成した場合の実施例である。第6図はその記号的に表したブロックを示したものである。さて、第5図において、 $Q_1$ 、 $Q_2$ は本発明による複合素子であり、 $Q_3$ 、 $Q_4$ は通常のバイポーラ素子

である。I<sub>1</sub>は通常の素子を用いて回路を構成した定電流源を示している。V<sub>cc</sub>は電源電圧である。今差動対にされた本発明による複合素子の入力端子にV<sub>1</sub>、V<sub>2</sub>なる電位を加えると、もしもV<sub>1</sub>=V<sub>2</sub>ならば、回路のオフセット電圧を無視すると、複合素子Q<sub>1</sub>、Q<sub>2</sub>のエミッタはI<sub>1</sub>/2ずつの電流が流れる。Q<sub>1</sub>とQ<sub>2</sub>のベース・エミッタ間ダイオード特性が同じであるように設計されているものとすれば、Q<sub>1</sub>、Q<sub>2</sub>のダイオード、もしくはコレクタ電流は相等的いから、V<sub>out</sub>の端子への入、出電流はなく、出力につながる負荷によつてV<sub>out</sub>の電位は定まる。つぎに、V<sub>1</sub>>V<sub>2</sub>となると、Q<sub>2</sub>のエミッタの方がQ<sub>1</sub>より大きな電流が流れる。しかし、Q<sub>2</sub>はQ<sub>1</sub>によつて制御されているのでQ<sub>2</sub>のエミッタ電流を吸い込むことができず、この差額の電流はV<sub>out</sub>の端子から外へ流れ出ることになる。このためV<sub>out</sub>の端子の電圧は前回よりも上昇することになる。V<sub>1</sub><V<sub>2</sub>のときは上記と逆の状態となる。このV<sub>out</sub>端子の外側に適当な電流・電圧変換回路を設ければ、必

$$G_m = g_m \cdot \beta_1 \cdot \beta_2 \quad \dots \dots (2)$$

ここでg<sub>m</sub>はMOS・FET部のチャネル・コンダクタンス、β<sub>1</sub>、β<sub>2</sub>は、NPNトランジスタ部13、26の電流増巾率である。例えば、g<sub>m</sub>=20μS、β<sub>1</sub>=100、β<sub>2</sub>=100とすると、G<sub>m</sub>=0.2μSとなる。すなわち、従来の10000倍の大きなチャネルコンダクタンスが得られる。

以上説明した如く、本発明によれば、MOS・FETとバイポーラトランジスタを一体構造としたことにより、集積密度が高く、高いg<sub>m</sub>を容易に得ることが出来、高性能演算増幅器等への応用においても極めて有用であり、工業上利益をもたらすものと考えらる。

#### 図面の簡単な説明

第1図は本発明の概念を説明するための断面構造模型図、第2図はその等価回路を示す図、第3図は本発明の一実施例を示すバイポーラ型集積回路の断面構造模型図、第4図はその素子の等価回路を示す図、第5図は本発明の素子を用いて使つ

特開昭53-60582(3)

要に応じた演算増巾回路を形成することができる。

第7図は第5図の如き差動増巾回路の差動対を構成する際の他の実施例を示した平面パターン図である。

第8図はそのA-A'面の断面構造模型を示したものである。本実施例は、1つのアイソレーションの中に差動対の複合素子がコンパクトに集積されている。これは、近接して作られるために、差動対として重要な特性の1つであるオフセット電圧値を小さくすることに役立つ。すなわち、集積密度が高く、入力インピーダンスが高く、オフセット電圧は小さく、チャネルコンダクタンスの大きい差動対素子が出来る特徴を持っていることがわかる。

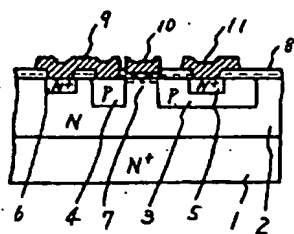
第9図は他の実施例を示す。本発明の複合素子の等価チャネルコンダクタンスをさらに大きくするためのもので、NPNのダーリントン接続素子とP-MOSを一体に組み合せた構造のものである。等価チャネルコンダクタンスG<sub>m</sub>は次式のようになる。

た演算増巾部の基本部をなす差動増巾回路図、第6図はそのブロック図、第7図は本発明の素子を差動対にした集積回路向き設置の平面図、第8図はそのA-A'面の断面構造模型図、第9図は本発明の他の実施例図、第10図はその等価回路図である。

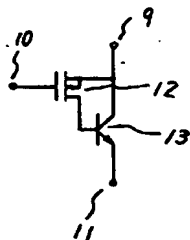
図において、1、2、5、6、18、25はN形半導体、3、4、14、15、16、17、24はP形半導体、8はSiO<sub>2</sub>、7はMOS部のチャネル閾値電圧制御用イオン打込み層を示す。

代理人 弁理士 博田利幸

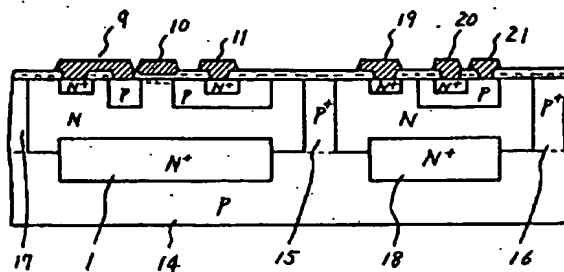
第 1 図



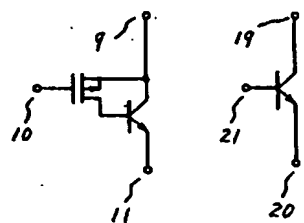
第 2 図



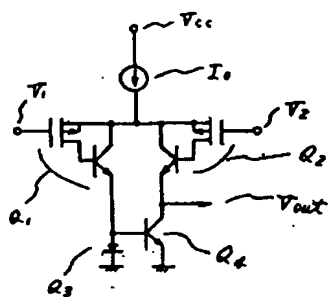
第 3 図



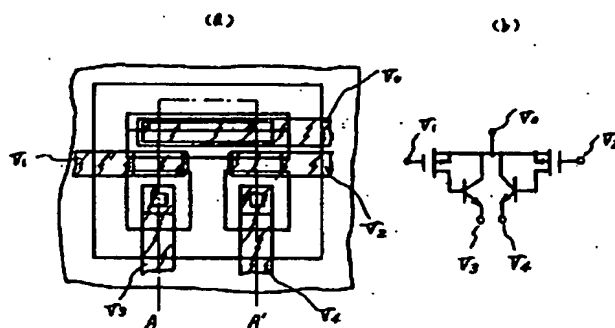
第 4 図



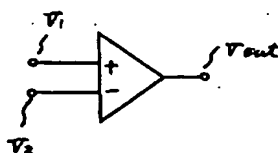
第 5 図



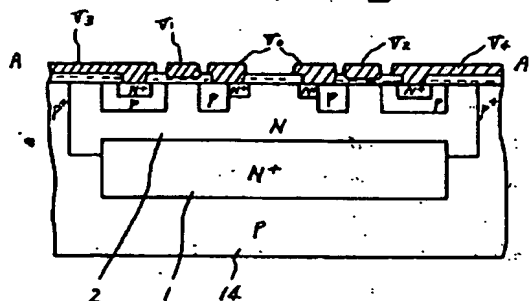
第 7 図



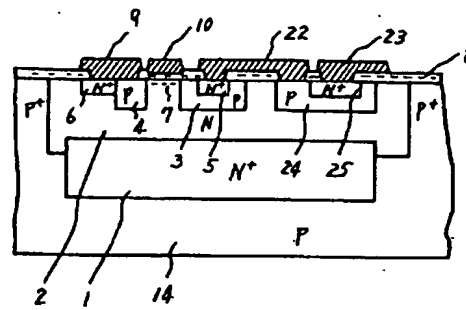
第 6 図



第 8 図



第 9 図



第 10 図

